Міністерство освіти і науки України

Національний технічний університет України

«Київський Політехнічний Інститут»

Факультет прикладної математики

Кафедра Системного програмування і Спеціалізованих комп’ютерних систем

Лабораторна робота №1

З дисципліни «Технологія проектування комп'ютерних систем»:

«Реалізація моделі логічного елементу and, or, xor, nand, nor, nxor»

Варіант №16

Виконав:

студент групи КВ-92

Степанюк М. Ф.

Перевірив:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Київ 2012

***Завдання на роботу:***

1) Описати логічний елемент на мові Active-VHDL (елементи та їх параметри обирають у відповідності з варіантом)

2) Побудувати часові діаграми роботи логічного елемента

**Варіант 16**: 4І, 2АБО, 3НЕ, t=30ns

**4І:**

*library IEEE;*

*use IEEE.STD\_LOGIC\_1164.all;*

*entity and4 is*

*port(*

*in1 : in STD\_LOGIC;*

*in2 : in STD\_LOGIC;*

*in3 : in STD\_LOGIC;*

*in4 : in STD\_LOGIC;*

*out1 : out STD\_LOGIC*

*);*

*end and4;*

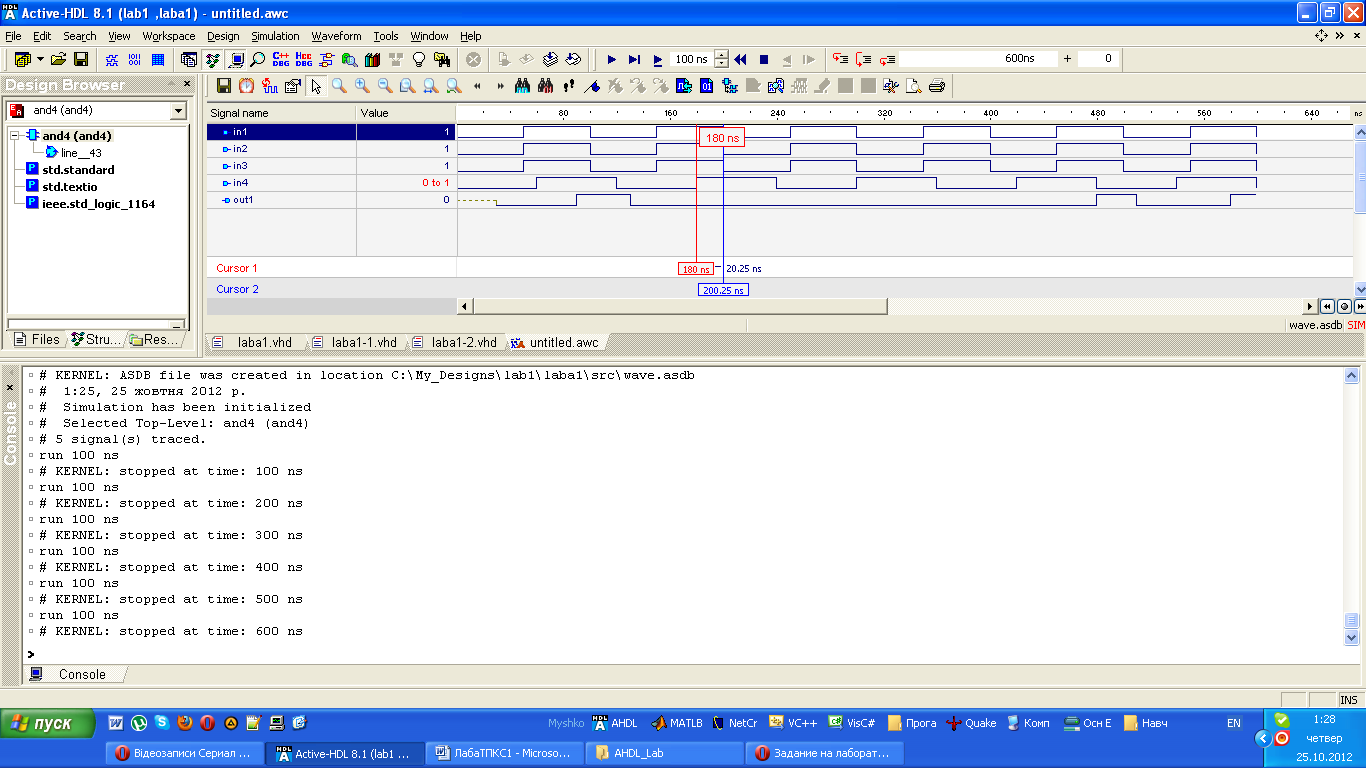
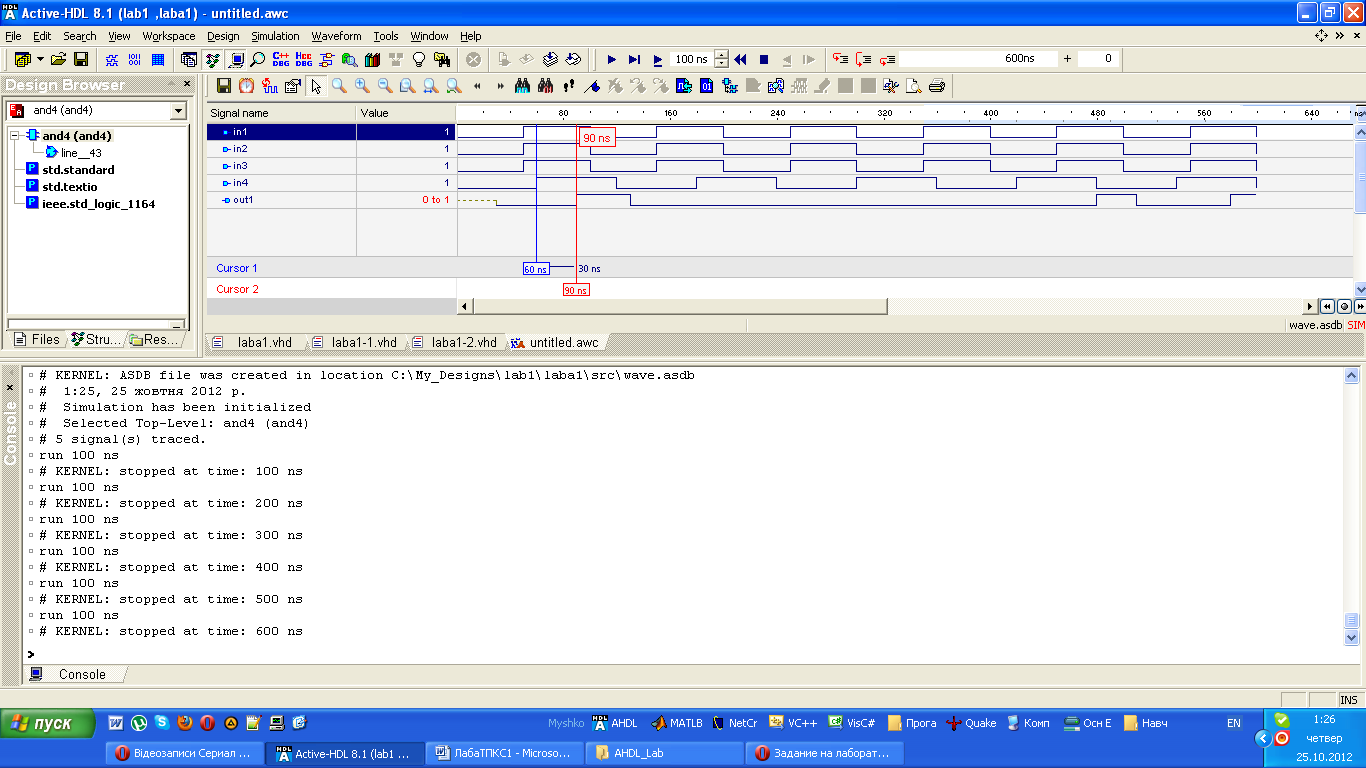
*--}} End of automatically maintained section*

*architecture and4 of and4 is*

*begin*

*out1<=in1 and in2 and in3 and in4 after 30 ns;*

*end and4;*



**2АБО:**

*library IEEE;*

*use IEEE.STD\_LOGIC\_1164.all;*

*entity or2 is*

*port(*

*in1 : in STD\_LOGIC;*

*in2 : in STD\_LOGIC;*

*out1 : out STD\_LOGIC*

*);*

*end or2;*

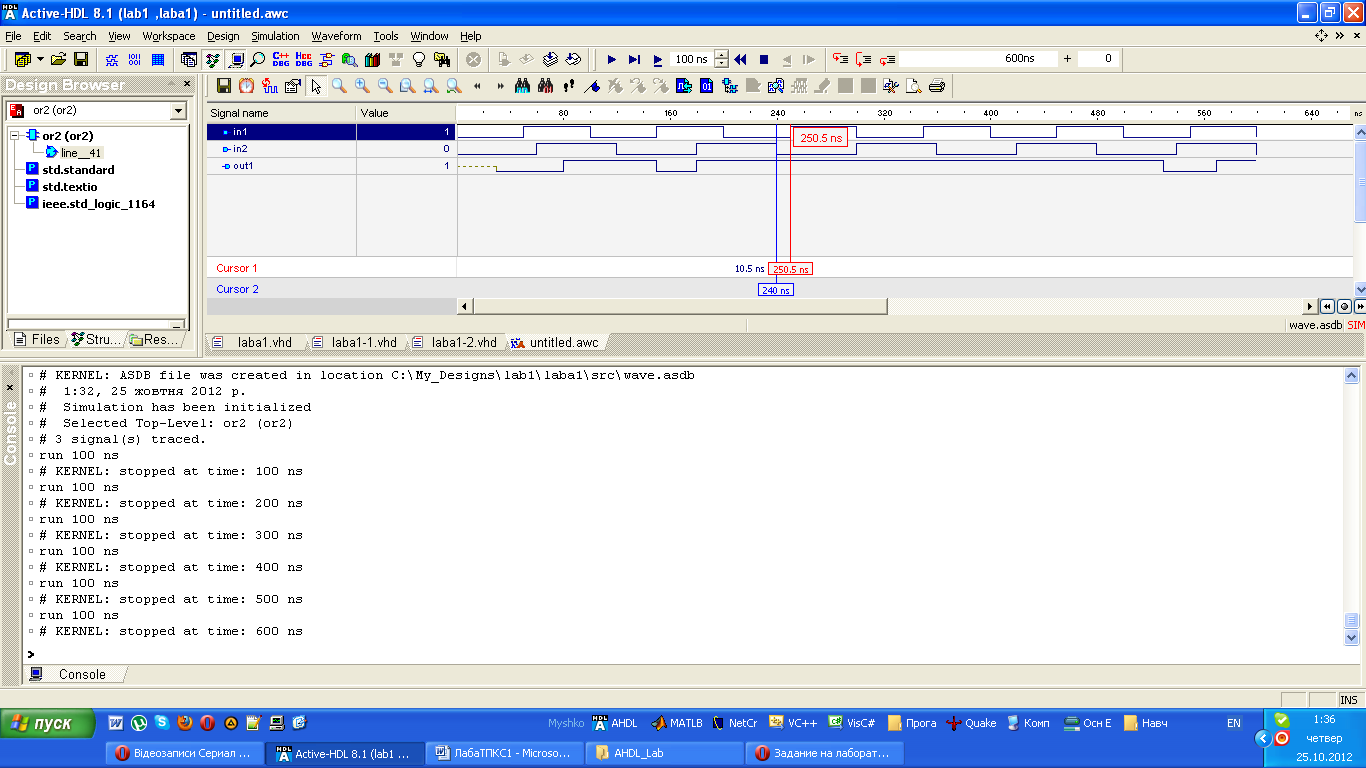
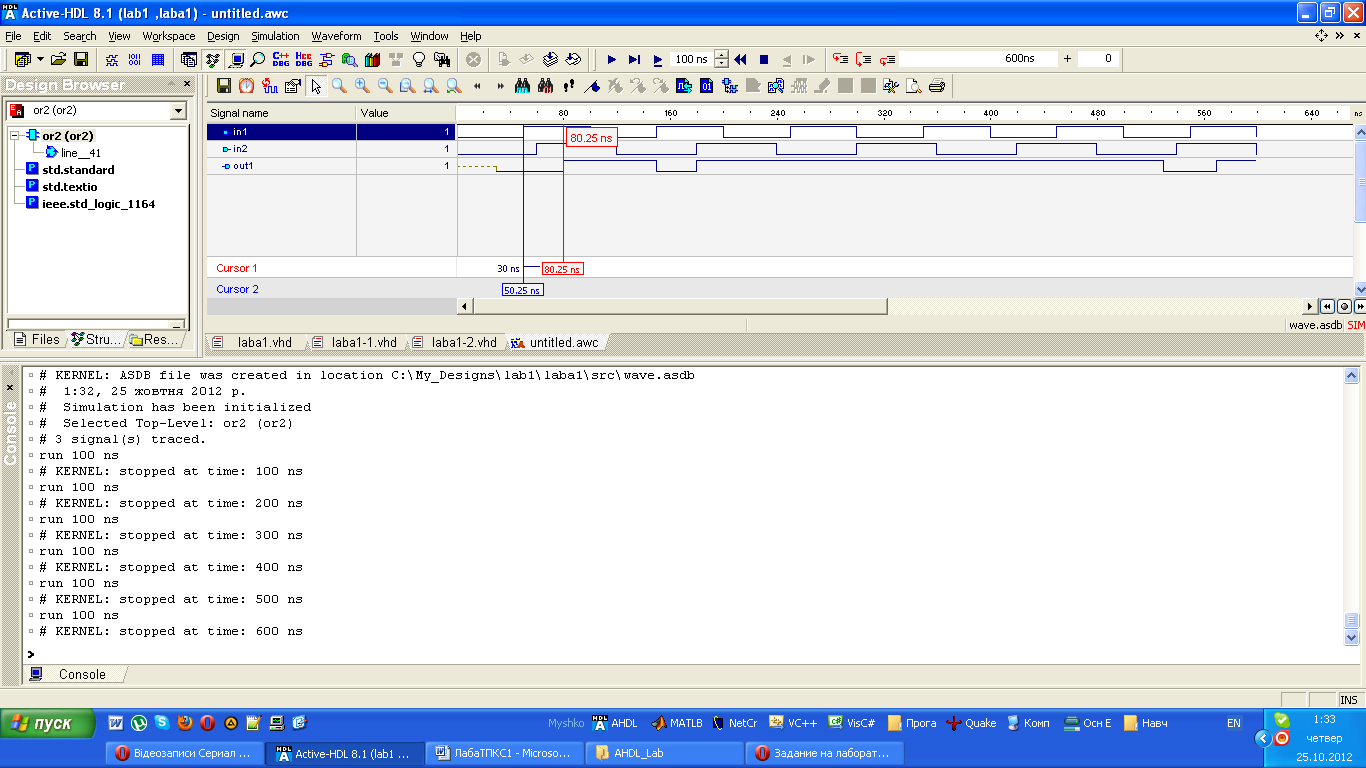
*--}} End of automatically maintained section*

*architecture or2 of or2 is*

*begin*

*out1<=in1 or in2 after 30 ns;*

*end or2;*



**3НЕ**

*library IEEE;*

*use IEEE.STD\_LOGIC\_1164.all;*

*entity not3 is*

*port(*

*in1 : in STD\_LOGIC;*

*in2 : in STD\_LOGIC;*

*in3 : in STD\_LOGIC;*

*out1 : out STD\_LOGIC;*

*out2 : out STD\_LOGIC;*

*out3 : out STD\_LOGIC*

*);*

*end not3;*

*--}} End of automatically maintained section*

*architecture not3 of not3 is*

*begin*

*out1<=not in1 after 30ns;*

*out2<=not in2 after 30ns;*

*out3<=not in3 after 30ns;*

*end not3;*

